**Limbaje de descriere hardware**

Tema 1: Algoritm de înmulțire cu deplasare dreapta

Student: Parvan Ionut Catalin, grupa 4752

Profesor: Dan Nicula

Anul universitar 2017-2018

**Enuntul problemei:**

## Să se modeleze în Verilog un circuit de înmulțire secvențială. Sistemul va fi partajat în cale de date și cale de control.

## Descrierea circuitului:

## 

## Circuitu are 5 intrari: 2 pentru operanzi, una pentru semnalul de ceas, una pentru semnalul de resetare si una pentru semnalul de start si 2 iesiri: una de confirmare si cealalta a rezultatului.

## Algoritmul utilizat la inmultire returneaza rezultatul dupa N perioade de ceas unde N reprezinta numarul bitilor pe care sunt scrisi operanzii. Rezultaul evident ocupand de doua ori mai multi biti.

## Calea de date:

## 

## Calea de control:

## 